

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

1999年10月27日

出 願 番 号

Application Number:

平成11年特許願第305805号

願 人

Applicant (s):

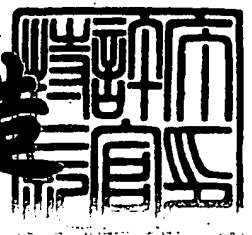
三洋電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年11月 6日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 KIB0991042

【提出日】 平成11年10月27日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社
社内

【氏名】 渡辺 透

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100109368

【弁理士】

【氏名又は名称】 稲村 悦男

【連絡先】 0 3 - 3 8 3 7 - 7 7 5 1 法務・知的財産部 東京事
務所

【選任した代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像信号処理装置

【特許請求の範囲】

【請求項 1】 適数行分の画像信号を保持し、目標画素に対応する画像信号と共に、目標画素に隣接する複数の周辺画素に対応する画像信号を供給するメモリ回路と、上記目標画素のレベルを上記複数の周辺画素のレベルと対比して画素欠陥候補を検出する欠陥検出回路と、上記欠陥検出回路で検出された画素欠陥候補の複数画面にわたる位置の連続性に基づいて画素欠陥を決定する欠陥判定回路と、上記欠陥判定回路の決定内容に応答して上記目標画素の欠陥を補正する欠陥補正回路と、を備えたことを特徴とする画像信号処理装置。

【請求項 2】 上記欠陥判定回路は、複数フィールドで欠陥判定動作を継続した後に画素欠陥の位置を決定して保持し、上記欠陥検出回路と共に動作を停止することを特徴とする請求項 1 に記載の画像信号処理装置。

【請求項 3】 上記欠陥判定回路は、所定の周期で欠陥判定動作を繰り返すことを特徴とする請求項 2 に記載の画像信号処理装置。

【請求項 4】 上記欠陥判定回路は、1 画面を複数の領域に分割した各領域毎に時分割で欠陥判定動作をすることを特徴とする請求項 2 に記載の画像信号処理装置。

【請求項 5】 上記欠陥検出回路は、上記複数の周辺画素の最大レベルと最小レベルとの差を上記複数の周辺画素の平均レベルに対して加算または減算して判定基準値を生成し、この判定基準値と上記目標画素のレベルとを比較して画素欠陥を判定することを特徴とする請求項 1 に記載の画像信号処理装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画像信号に含まれる画素欠陥を検出して補正する画像信号処理装置に関する。

【0 0 0 2】

【従来の技術】

CCDイメージセンサ等の固体撮像素子においては、画素の受光レベルには関係なく、常に一定の電荷が蓄積されて固定レベルを出力するようになる、いわゆる画素欠陥を生じる場合がある。このため、固体撮像素子から得られる画像信号に対する信号処理の過程において、再生画面上に画素欠陥が現れないようする欠陥補正処理が行われる。

【0003】

図12は、画素欠陥の補正処理を行うようにした撮像装置の構成を示すブロック図である。

【0004】

CCDイメージセンサ1は、複数の受光画素が行列配置され、受光した被写体画像に応じて各受光画素に情報電荷を蓄積する。このCCD1は、垂直駆動信号 ϕ_v 及び水平駆動信号 ϕ_H によって駆動され、各受光画素に蓄積された情報電荷が1ライン単位で順次転送出力されて、所定のフォーマットに従う画像信号Y0を出力する。駆動回路2は、垂直同期信号VD及び水平同期信号HDに従い、CCD1を駆動する垂直駆動信号 ϕ_v 及び水平駆動信号 ϕ_H を生成し、CCD1に供給する。

【0005】

タイミング制御回路3は、一定周期の基準クロックを分周し、垂直走査のタイミングを決定する垂直同期信号VD及び水平走査のタイミングを決定する水平同期信号HDを生成し、駆動回路2に供給する。例えば、NTSCフォーマットの場合、14.32MHzの基準クロックを910分周して水平同期信号HDを生成し、この水平同期信号を525/2分周して垂直同期信号VDを生成する。また、タイミング制御回路3は、後述する信号処理回路4及び欠陥補正回路5に対して、それぞれの動作タイミングをCCD1の動作タイミングに同期させるためのタイミング信号を供給する。

【0006】

信号処理回路4は、CCD1から出力される画像信号Y0に対して、サンプルホールド、レベル補正等の信号処理を施し、画像信号Y1として出力する。例えば、サンプルホールド処理においては、信号レベルとリセットレベルとを繰り返

す画像信号 Y0 に対して、リセットレベルをクランプした後に信号レベルを取り出すようにして、信号レベルを継続する画像信号 Y1 を生成する。また、レベル補正処理においては、出力される画像信号 Y1 の平均レベルを目標範囲内に収めるようにしてゲインの帰還制御が施される。この信号処理回路 4 においては、画像信号 Y0 をサンプルホールドした後、サンプルホールド値が A/D 変換され、それ以降はデジタル処理が採用される傾向にある。

【0007】

欠陥補正回路 5 は、補正情報メモリ 6 に記憶された補正情報に基づいて、画像信号 Y1 に対して欠陥補正処理を施す。例えば、欠陥が生じた画素の情報を、その前後の画素の情報の平均値に置き換えるように構成される。補正情報メモリ 6 は、CCD 1 の画素欠陥の位置を記憶するもので、例えば、予め CCD 1 の出力をモニタして画素欠陥の位置を検出し、その検出結果を補正アドレス情報として記憶する。

【0008】

【発明が解決しようとする課題】

CCD 1 は、同一工程で製造されたチップであっても、各チップ毎に画素欠陥の発生する位置が異なるため、撮像装置に用いる CCD 1 は、個々に画素欠陥の位置を検出し、補正情報メモリ 6 に記憶する補正アドレス情報を生成する必要がある。このため、素子の組立工程、さらには、素子を組み込む撮像装置の組み立て工程におけるコストの増大を招いている。

【0009】

また、CCD 1 の画素欠陥は、経時変化によって増えることがあり、そのような経時変化が生じた場合には、補正情報メモリ 6 の補正アドレス情報を書き換えなければならない。しかしながら、撮像装置の一般的な使用者は、補正情報メモリ 6 の内容を書き換えるための手段を備えていないため、補正情報メモリ 6 の補正情報アドレスを書き換えることは、事実上困難である。

【0010】

そこで本発明は、組立工程のコストを増大させることなく、素子の経時変化による画素欠陥の変化にも対応できるようにすることを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

本発明は、上述の課題を解決するために成されたもので、その特徴とするところは、適数行分の画像信号を保持し、目標画素に対応する画像信号と共に、目標画素に隣接する複数の周辺画素に対応する画像信号を供給するメモリ回路と、上記目標画素のレベルを上記複数の周辺画素のレベルと対比して画素欠陥候補を検出する欠陥検出回路と、上記欠陥検出回路で検出された画素欠陥候補の複数画面にわたる位置の連続性に基づいて画素欠陥を決定する欠陥判定回路と、上記欠陥判定回路の決定内容に応答して上記目標画素の欠陥を補正する欠陥補正回路と、を備えたことにある。

【 0 0 1 2 】

本発明によれば、目標画素に対して、その周辺画素と比較して欠陥の可能性のある画素欠陥候補を検出し、その検出結果の連続性に基づいて画素欠陥を判定することで、再生画面上で視覚的に認識される画素欠陥を的確に検出することができるようになる。

【 0 0 1 3 】

【発明の実施の形態】

図 1 は、本発明の画像信号処理装置の構成を示すブロック図である。

【 0 0 1 4 】

本発明の画像信号処理装置は、メモリ回路 1 1、欠陥検出回路 1 2、アドレス生成回路 1 3、欠陥判定回路 1 4、遅延回路 1 6 及び欠陥補正回路 1 6 より構成される。この画像信号処理装置においては、撮像素子の出力に対して所定の処理が施され、A/D変換されてデジタルデータとして与えられる画像信号 $Y(n)$ に対して画素欠陥の補正処理を施すように構成される。

【 0 0 1 5 】

メモリ回路 1 1 は、複数のラインメモリと複数のラッチとを備え、1 行単位で連続して入力される画像信号 $Y(n)$ を取り込み、目標画素 $P0$ に対応する画像信号 $Y(P0)$ と、その周辺画素 $P1 \sim P8$ に対応する画像信号 $Y(P1) \sim Y(P8)$ とを並列に同時に出力する。

【0016】

欠陥検出回路 12 は、メモリ回路 11 から入力される周辺画素 P1～P8 の画像信号 Y (P1)～Y (P8) に基づいて白欠陥を判定するための判定基準値 Lw と黒欠陥を判定するための判定基準値 Lb とを生成し、これらの判定基準値 Lw、Lb と目標画素 P0 の画像信号 Y (P0) とを比較して画素欠陥を検出する。この欠陥検出回路 12 においては、固体撮像素子において発生する真の欠陥と、被写体の都合で偶発的に発生した見かけ上の欠陥とが検出されることになるが、これらの検出結果は、何れも、欠陥候補としてアドレス発生回路 13 に供給される。

【0017】

アドレス生成回路 13 は、画像信号 Y (n) に従う水平同期信号 HD1 及び垂直同期信号 VD1 に基づいて、欠陥検出回路 12 から入力される検出出力 Dw、Db の立ち上がりのタイミングを計測し、欠陥位置を数値的に表すアドレス信号 Fh、Fv を生成する。即ち、検出出力 Dw、Db が立ち上げられたとき、目標画素が画面上の何処の位置にあるかを、水平同期信号 HD1 及び垂直同期信号 VD1 の各タイミングに基づいて算出し、水平位置を表すアドレス信号 Fh 及び垂直位置を表すアドレス信号 Fv を生成する。ここで、水平同期信号 HD1 及び垂直同期信号 VD1 については、メモリ回路 11 の読み出し動作に対して欠陥検出回路 12 の動作の遅延分だけ送れたタイミングに設定される。

【0018】

欠陥判定回路 14 は、アドレス生成回路 13 から入力されるアドレス信号 Fh、Fv を 1 フィールド毎に取り込み、所定のフィールド期間にわたって継続されるもののみを真の画素欠陥と判定する。即ち、被写体の都合で偶発的に画素欠陥と判定された場合には、ある程度の時間を経過した段階で画素欠陥とは判定されなくなるため、ある程度のフィールド期間継続して欠陥と判定されたアドレスのみを真の画素欠陥と判定するように構成される。ここで真の画素欠陥と判定されたアドレスは、内蔵されるメモリに保持され、欠陥補正回路 16 に対して、欠陥アドレス信号 Fh0、Fv0 として供給される。

【0019】

欠陥補正回路 15 は、欠陥判定回路 14 から入力される欠陥アドレス信号 Fh0

、Fv0を水平同期信号HD2及び垂直同期信号VD2に対比させ、欠陥アドレス信号Fh0、Fv0で指定される位置で、画像信号Y(P0)を補正信号Y(c)に置き換える。この補正信号Y(c)は、例えば、目標画素P0の周辺に位置する複数の周辺画素の画像信号を平均することにより生成される。ここで、水平同期信号HD2及び垂直同期信号VD2については、メモリ回路11からの読み出しタイミングに同期するように設定される。これにより、欠陥補正回路15からは、白欠陥及び黒欠陥が補正された画像信号Y'(n)が出力されることになる。

【0020】

図2は、メモリ回路11の一例を示すブロック図である。このメモリ回路11は、第1、第2のラインメモリ21、22及び第1～第6のラッチ23～28より構成され、図6に示すように、目標画素P0と、その周辺に隣接する8個の周辺画素に対応する画像信号Y(0)、Y(1)～Y(8)を同時に出力する。

【0021】

第1及び第2のラインメモリ21、22は、互いに直列に接続され、順次入力される画像信号Y(n)が第1のラインメモリ21に書き込まると共に、第1のラインメモリ21から順次読み出される画像信号Y(n)が第2のラインメモリ22に書き込まれる。これにより、順次入力されてくる画像信号Y(n)に対して、第1のラインメモリ21からは、1行前の画像信号Y(n)が読み出され、第2のラインメモリ22からは、2行前の画像信号Y(n)が読み出される。

【0022】

第1及び第2のラッチ23、24は、画像信号Y(n)の入力に対して直列に接続され、1画素前の画像信号Y(n)が第1のラッチ23に保持され、2画素前の画像信号Y(n)が第2のラッチ24に保持される。これより、入力される画像信号Y(n)が、そのまま周辺画素P8に対応する画像信号Y(P8)として出力され、第1及び第2のラッチ23、24に保持された画像信号Y(n)が、それぞれ周辺画素P7、P6に対応する画像信号Y(P7)、Y(P6)として出力される。

【0023】

第3及び第4のラッチ25、26は、第1のラインメモリ21の入力に対して直列に接続され、1行前で且つ1画素前の画像信号Y(n)が第3のラッチ25に

保持され、2画素前の画像信号 $Y(n)$ が第4のラッチ26に保持される。これより、第1のラインメモリから読み出される画像信号 $Y(n)$ が、周辺画素P5に対応する画像信号 $Y(P5)$ として出力され、第3及び第4のラッチ25、26に保持された画像信号 $Y(n)$ が、それぞれ目標画素P0に対応する画像信号 $Y(P0)$ 及び周辺画素P4に対応する画像信号 $Y(P4)$ として出力される。

【0024】

同様に、第5及び第6のラッチ27、28は、第2のラインメモリ22の入力に対して直列に接続され、2行前で且つ1画素前の画像信号 $Y(n)$ が第5のラッチ27に保持され、2画素前の画像信号 $Y(n)$ が第6のラッチ28に保持される。これより、第2のラインメモリから読み出される画像信号 $Y(n)$ が、周辺画素P3に対応する画像信号 $Y(P3)$ として出力され、第5及び第6のラッチ27、28に保持された画像信号 $Y(n)$ が、それぞれ周辺画素P2、P1に対応する画像信号 $Y(P2)$ 、 $Y(P2)$ として出力される。

【0025】

従って、メモリ回路11においては、画像信号 $Y(n)$ を順次取り込みながら、目標画素P0の画像信号 $Y(P0)$ と、その周辺に位置する周辺画素P1～P8の画像信号 $Y(P1) \sim Y(P8)$ とが並列に出力されるようになる。

【0026】

図3は、欠陥検出回路12の構成を示すブロック図である。この欠陥検出回路12は、平均値算出部31、最大値検出部32、最小値検出部33、第1及び第2の減算器34、35、加算器36、第1及び第2の比較器37、38より構成される。

【0027】

平均値算出部31は、周辺画素P1～P8の画像信号 $Y(P1) \sim Y(P8)$ をそれぞれ取り込み、それらの平均レベル L_{av} を算出する。最大値検出部32及び最小値検出部33は、画像信号 $Y(P1) \sim Y(P8)$ のうちの最大レベル L_{max} 及び最小レベル L_{min} をそれぞれ検出する。

【0028】

第1の減算器34は、最大値検出部32から入力される最大レベル L_{max} から

、最小値検出部 3 3 から入力される最小レベル L_{min} を減算し、それらの差 ΔL を算出する。そして、第 1 の加算器 3 6 は、平均値算出部 3 1 から入力される平均レベル L_{av} に差 ΔL を加算し、白欠陥を判定するための判定基準値 L_w を生成する。また、第 2 の減算器 3 5 は、平均値算出部 3 1 から入力される平均レベル L_{av} から第 1 の減算器 3 4 から入力される差 ΔL を減算し、黒欠陥を判定するための判定基準値 L_b を生成する。

【 0 0 2 9 】

第 1 の比較器 3 7 は、第 2 の減算器 3 5 から入力される判定基準値 L_b と目標画素 P_0 に対応する画像信号 $Y(P_0)$ とを比較し、画像信号 $Y(P_0)$ のレベルが判定基準値 L_b に達していなかったとき、即ち、目標画素 P_0 が黒欠陥であると判定されたときに立ち上げられる検出出力 D_b を発生する。第 2 の比較器 3 8 は、加算器 3 6 から入力される判定基準値 L_w と目標画素 P_0 に対応する画像信号 $Y(P_0)$ とを比較し、画像信号 $Y(P_0)$ のレベルが判定基準値 L_w に達しなかったとき、即ち、目標画素 P_0 が白欠陥であると判定されたときに立ち上げられる検出出力 D_w を発生する。

【 0 0 3 0 】

図 4 は、周辺画素を表す画像信号のレベルと、これらのレベルから算出される画素欠陥の判定レベルとの関係を示す図であり、図 5 は、欠陥判定動作の動作ステップを示すフローチャートである。これらの図においては、図 6 に示すように、目標画素 P_0 に対して、目標画素 P_0 に隣接する 8 個の周辺画素 $P_1 \sim P_8$ を参照して画素欠陥の判定を行う場合を示している。

【 0 0 3 1 】

第 1 のステップ S_1 では、平均値算出回路 3 1 において、周辺画素 $P_1 \sim P_8$ を表す 8 画素分の画像信号 $Y(P_1) \sim Y(P_8)$ の平均レベル L_{av} を算出する。第 2 のステップ S_2 では、最大値検出回路 3 2 及び最小値検出回路 3 3 において、周辺画素 $P_1 \sim P_8$ を表す 8 画素分の画像信号 $Y(P_1) \sim Y(P_8)$ の最大レベル L_{max} 及び最小レベル L_{min} を検出する。以上の第 1 のステップ S_1 及び第 2 のステップ S_2 の順序については、逆でもよい。

【 0 0 3 2 】

第3のステップS3では、第1の減算器34において、最大レベル L_{\max} から最小レベル L_{\min} を減算し、両レベルの差 ΔL を算出する。第4のステップS4では、第2の減算器35において、平均レベル L_{av} から差 ΔL を減算し、黒欠陥を検出するための第1の判定基準値 L_b を生成し、加算器36において、平均レベル L_{av} に差 ΔL を加算し、白欠陥を検出するための第2の判定基準値 L_w を生成する。そして、第5のステップS5では、第1及び第2の比較器37、38において、第1及び第2の判定基準値 L_b 、 L_w を目標画素P0の画像信号 $Y(P0)$ と比較して画素欠陥を判定し、検出出力 D_b 、 D_w を発生する。

【0033】

第1～第5のステップによって生成された第1の判定基準値 L_w 及び第2の判定基準値 L_b は、周辺画素の状況によって変化し、常に最適な値に保たれることになる。ここで、判定基準値 L_w 、 L_b については、周辺画素のレベル差が小さいとき、平均レベル L_{av} に近い値となり、周辺画素のレベル差が大きいときには、平均レベル L_{av} から離れた値となる。従って、画面上で濃淡の差が小さい領域では判定基準値 L_w 、 L_b の範囲が狭くなり、逆に、濃淡の差が大きい領域では判定基準値 L_w 、 L_b の範囲が広くなるため、視覚的に目立ちやすい画素欠陥を効率よく検出できる。

【0034】

図7は、アドレス生成回路13の構成の一例を示すブロック図である。このアドレス生成回路13は、水平カウンタ51、垂直カウンタ52、水平データラッチ53及び垂直データラッチ54より構成される。

【0035】

水平カウンタ51は、水平同期信号 $HD1$ に従うタイミングでリセットされ、欠陥検出回路12の検出動作に同期した一定周期のクロック $CK1$ に従うタイミングでカウントアップされる。これにより、水平カウンタ51は、各水平走査期間に、1ライン分の画素数だけカウント動作を繰り返し、水平方向の画素番号をカウントする。垂直カウンタ52は、垂直同期信号 $VD1$ に従うタイミングでリセットされ、水平同期信号 $HD1$ に従うタイミングでカウントアップされる。これにより、垂直カウンタ52は、各垂直走査期間に、1画面分の水平走査線数だ

けカウント動作を繰り返し、垂直方向の画素番号をカウントする。

【0036】

水平データラッチ53は、水平カウンタ51に接続され、検出出力Db、Dwの何れかに応答して水平カウンタ51のカウント値を取り込む。これにより、水平データラッチ53から、検出出力Db、Dwの立ち上がりのタイミング、即ち、欠陥検出回路12で検出された画素欠陥の水平方向の位置を示す水平アドレス信号Fhが取り出される。垂直データラッチ54は、垂直カウンタ52に接続され、水平データラッチ53と同様に、検出出力Db、Dwの何れかに応答して垂直カウンタ52のカウント値を取り込む。これにより、垂直データラッチ54から、検出出力Db、Dwの立ち上がりのタイミング、即ち、欠陥検出回路12で検出された画素欠陥の垂直方向の位置を示す垂直アドレス信号Fvが取り出される。

【0037】

例えば、図8に示すように、6行×8列の画面を考えた場合、水平カウンタ51は、「1」～「8」の範囲でカウントを繰り返し、垂直カウンタ52は、「1」～「6」の範囲でカウントを繰り返す。そこで、3行×3列の位置に画素欠陥があったとすれば、検出出力Db、Dwの立ち上がりで水平カウンタ51のカウント値を水平データラッチ53に取り込むと、水平アドレス信号Fhとして「3」が出力される。そして、検出出力Db、Dwの立ち上がりで垂直カウンタ52のカウント値を垂直データラッチ54に取り込むと、垂直アドレス信号Fvとして「3」が出力される。このようにして出力されるアドレス信号Fh、Fvは、画素欠陥である可能性を含む候補を示すもので、欠陥判定回路14に供給される。

【0038】

図9は、欠陥判定回路14の一例を示すブロック図であり、図10は、その動作を説明するフローチャートである。欠陥判定回路14は、比較判定回路41、アドレスメモリ42及びアドレスレジスタ43より構成され、アドレス生成回路13から入力されるアドレス信号Fh、Fvから、真の画素欠陥の位置を示すアドレス信号Fh0、Fv0を生成する。

【0039】

比較判定回路41は、最初にアドレス生成回路13から入力されるアドレス信

号Fh、Fvを取り込んでアドレスメモリ42に記憶させた後、新たに入力されるアドレス信号Fh、Fvと最初にアドレスメモリ42に記憶させたアドレス信号Fh、Fvとの一致を検出する。アドレスメモリ42は、比較判定回路41から最初に入力されるアドレス信号Fh、Fvを記憶する。このアドレスメモリ42においては、各アドレス信号Fh、Fvと共に適数ビットのフラグ情報が記憶され、比較判定回路41で一致が検出されなかったアドレス信号Fh、Fvに対応するフラグ情報が更新される。例えば、1画面目の画素欠陥の判定において、比較判定回路41が欠陥候補となるアドレスを100個検出すれば、アドレスレジスタ42には、最初に100個分のアドレス信号Fh、Fv及びフラグ情報を記憶する。そして、全てのフラグ情報の初期値を予め「0」とし、比較判定回路41において、新たに入力される次の画面のアドレス信号Fh、Fvと一致が検出されなかったアドレス信号Fh、Fvに対応するフラグ情報のみをインクリメントするように構成する。

【0040】

レジスタ42は、フラグ情報が所定の値に達していないアドレス信号Fh、Fvのみ取り込んで保持し、真の画素欠陥の位置を指定するアドレス信号Fh0、Fv0として出力する。即ち、比較判定回路41においてアドレス信号Fh、Fvの一致が検出されたときには、画面上の同一位置に画素欠陥の候補があるということになる。そして、一致する回数が多くなるほど、換言すれば、フラグ情報の値が小さいほど、それが真の画素欠陥である可能性は高くなる。従って、フラグ情報が所定の基準値以内にあるアドレス信号Fh、Fvについて、レジスタ42に取り込むようにすることで、真の画素欠陥の位置を指定するアドレス信号Fh0、Fv0を得ている。尚、フラグ情報の判定基準については、任意に設定すればよい。例えば、10画面分の画素欠陥の判定をしたとき、1画面目を含めて8回以上画素欠陥であると判定された画素について真の画素結果であると決定する場合には、アドレスレジスタ42に記憶されたフラグ情報が「0」及び「1」となっているアドレス信号Fh、Fvをレジスタ42に取り込めばよい。

【0041】

比較判定回路41の判定動作は、図10に示す第1～第5のステップS1～S

5により実行される。第1のステップS1では、1画面目に対応してアドレス生成回路13から入力されるアドレス信号Fh、Fvを1画面分全てに取り込み、全ての画素欠陥について、その位置をアドレスメモリ42に記憶させる。このとき、アドレスメモリ42には、アドレス信号Fh、Fvと共にフラグ情報が記憶される。第2のステップS2では、2画面目の画素欠陥を示すアドレス信号Fh、Fvが入力されると、そのアドレス信号Fh、Fvと、先にアドレスメモリ42に記憶した1画面目の画素欠陥の位置を示すアドレス信号Fh、Fvとを比較し、それらの一致を判定する。第3のステップS3では、第2のステップS2で一致が確認されたアドレス信号Fh、Fv以外のフラグ情報をインクリメントしてアドレスメモリ42を更新する。

【0042】

第4のステップS4では、欠陥情報の更新回数が何回目であるかをカウントし、予め設定された規定回数以内であれば第2のステップS2に戻り、規定回数を超えていれば第5のステップS5に進む。欠陥判定回路14においては、複数画面の画素欠陥の連続性から真の画素欠陥を判定するようにしているため、第2のステップS2及び第3のステップS3を繰り返す回数を予め設定しており、この繰り返し回数の判定が第4のステップS4において行われる。そして、規定回数だけ第2のステップS2及び第3のステップS3を繰り返した後、第5のステップS5では、フラグ情報に基づいて、真の画素欠陥の位置を示すアドレス信号Fh0、Fv0をアドレスレジスタ43に取り込む。このアドレスレジスタ43に取り込んだアドレスが、最終的に欠陥補正に用いられるアドレス信号Fh0、Fv0として欠陥補正回路15に供給される。

【0043】

第5のステップS5において、アドレス信号Fh0、Fv0が確定された後は、欠陥補正回路12、アドレス生成回路13及び欠陥判定回路14の動作を停止することができる。尚、欠陥補正回路12、アドレス生成回路13及び欠陥判定回路14の動作を停止した後でも、必要に応じて各部の動作を再開させるようにしてもよい。また、定期的に、欠陥補正回路12、アドレス生成回路13及び欠陥判定回路14の動作／停止を繰り返すことにより、アドレス信号Fh0、Fvを定期

的に更新するようにしてもよい。

【 0 0 4 4 】

ところで、欠陥判定回路 1 4 のアドレスメモリ 4 2 においては、アドレス生成回路 1 3 から入力されるアドレス信号 F_h 、 F_v を全て記憶する必要があるため、1 画面を構成する画素数が多くなると、アドレスメモリ 4 2 の容量も大きくしなければならない。このとき、画面上を複数の領域に分割し、各領域毎に画素欠陥の判定動作を時分割で行うようにすれば、アドレスメモリ 4 2 の容量を節約することができる。実際の動作においては、欠陥判定回路 1 4 が動作／停止を繰り返すことになるため、画面を分割した各領域に対応させて時分割で動作させるための時間は十分に確保可能である。

【 0 0 4 5 】

図 1 1 は、欠陥補正回路 1 5 の構成を示すブロック図である。この欠陥補正回路 1 5 は、第 1 ～ 第 4 の除算器 6 1 ～ 6 4、第 1 ～ 第 3 の加算器 6 5 ～ 6 7、セクタ 6 8、比較器 7 1、水平カウンタ 7 3 及び垂直カウンタ 7 4 より構成される。この欠陥補正回路 1 5 においては、目標画素 P_0 の上下に位置する周辺画素 P_2 、 P_7 の画像信号 $Y(P_2)$ 、 $Y(P_7)$ と、上下に位置する周辺画素 P_4 、 P_5 の画像信号 $Y(P_4)$ 、 $Y(P_5)$ とに基づいて補正信号 $Y(c)$ を生成する場合を示している。

【 0 0 4 6 】

第 1 ～ 第 4 の除算器 6 1 ～ 6 4 は、メモリ回路 1 1 から入力される画像信号 $Y(P_2)$ 、 $Y(P_7)$ 、 $Y(P_4)$ 、 $Y(P_5)$ をそれぞれ $1/4$ にする。第 1 の加算器 6 5 は、第 1 及び第 2 の除算器 6 1、6 2 の除算結果を加算し、第 2 の加算器 6 6 は、第 3 及び第 4 の除算器 6 3、6 4 の除算結果を加算する。そして、第 3 の加算器 6 7 は、第 1 の加算器 6 5 の加算結果と第 2 の加算器 6 6 に加算結果とを加算し、補正信号 $Y(c)$ を生成する。セクタ 6 8 は、比較器 7 1 から入力される選択制御信号 S に応答して、目標画素 P_0 の画像信号 $Y(P_0)$ または補正信号 $Y(c)$ の何れかを選択し、画素欠陥を補正した画像信号 $Y'(P_0)$ として出力する。

【 0 0 4 7 】

比較器 7 1 は、欠陥判定回路 1 4 から入力されるアドレス信号 F_{h0} 、 F_{v0} と、水平カウンタ 7 3 及び垂直カウンタ 7 4 から出力される参照アドレス信号 R_h 、

Rvとを比較し、それらが互いに一致したときに立ち上げられる選択制御信号Sを発生する。水平カウンタ72は、水平同期信号HD2に従うタイミングでリセットされ、メモリ回路11の読み出し動作に同期した一定周期のクロックCK2に従うタイミングでカウントアップされる。これにより、水平カウンタ72は、各水平走査期間に、1ライン分の画素数だけカウント動作を繰り返すことで、水平方向の画素番号を示す水平参照アドレス信号Rhを出力する。垂直カウンタ73は、垂直同期信号VD2に従うタイミングでリセットされ、水平同期信号HD2に従うタイミングでカウントアップされる。これにより、垂直カウンタ73は、各垂直走査期間に、1画面分の水平走査線数だけカウント動作を繰り返すことで、垂直方向の画素番号を示す垂直参照アドレスRvを出力する。

【0048】

従って、欠陥判定回路14から入力されるアドレス信号Fh0、Fv0に参照アドレス信号Rh、Rvが一致したタイミングで選択制御信号Sが立ち上げられると、セクタ68において、目標画素P0の画像信号Y(P0)が補正信号Y(c)に置き換えられる。この結果、画素欠陥は、その周辺画素の情報によって補正される。

【0049】

以上の実施形態においては、判定基準値を目標画素に隣接する3行×3列の合計8個の周辺画素のレベルに基づいて決定する場合を例示したが、それ以上、例えば、3行×5列の14個の周辺画素や、5行×5列の24個の周辺画素のレベルに基づいて判定基準値を設定するようにしてもよい。

【0050】

【発明の効果】

本発明によれば、画素欠陥の情報を逐次更新することができるため、撮像素子の経時変化によって画素欠陥が増えた場合でも、特に設定を変更する必要なく、画素欠陥の補正ができる。

【図面の簡単な説明】

【図1】

本発明の画像信号処理装置の構成を示すブロック図である。

【図2】

メモリ回路の構成を示すブロック図である。

【図 3】

欠陥検出回路の構成を示すブロック図である。

【図 4】

判定基準値と周辺画素のレベルとの関係を示す図である。

【図 5】

欠陥判定回路の動作を説明するフローチャートである。

【図 6】

目標画素と周辺画素との位置関係を示す平面図である。

【図 7】

アドレス発生回路の構成を示すブロック図である。

【図 8】

画面上の画素欠陥のアドレスを説明する平面図である。

【図 9】

欠陥判定回路の構成を示すブロック図である。

【図 1 0】

欠陥判定回路の動作を説明するフローチャートである。

【図 1 1】

欠陥補正回路の構成を示すブロック図である。

【図 1 2】

固体撮像装置の構成を示すブロック図である。

【符号の説明】

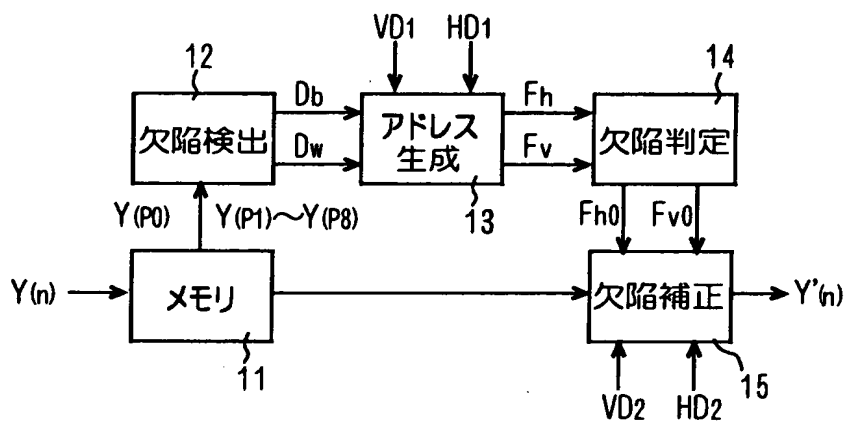
- 1 CCDイメージセンサ
- 2 駆動回路
- 3 タイミング制御回路
- 4 信号処理回路
- 5 欠陥補正回路
- 6 補正情報メモリ
- 1 1 メモリ回路

- 1 2 欠陥検出回路
- 1 3 オフセット算出回路
- 1 4 遅延回路
- 1 5 欠陥補正回路
- 2 1、2 2 ラインメモリ
- 2 3 ~ 2 8 ラッチ
- 3 1 平均値算出部
- 3 2 最大値検出部
- 3 3 最小値検出部
- 3 4、3 5 減算器
- 3 6 加算器
- 3 7、3 8 比較器
- 4 1 比較判定回路
- 4 2 アドレスメモリ
- 4 3 アドレスレジスタ
- 5 1 水平カウンタ
- 5 2 垂直カウンタ
- 5 3 水平データラッチ
- 5 4 垂直データラッチ
- 6 1 ~ 6 4 除算器
- 6 5 ~ 6 7 加算器
- 6 8 セレクタ
- 7 1 比較器
- 7 1 水平カウンタ
- 7 2 垂直カウンタ

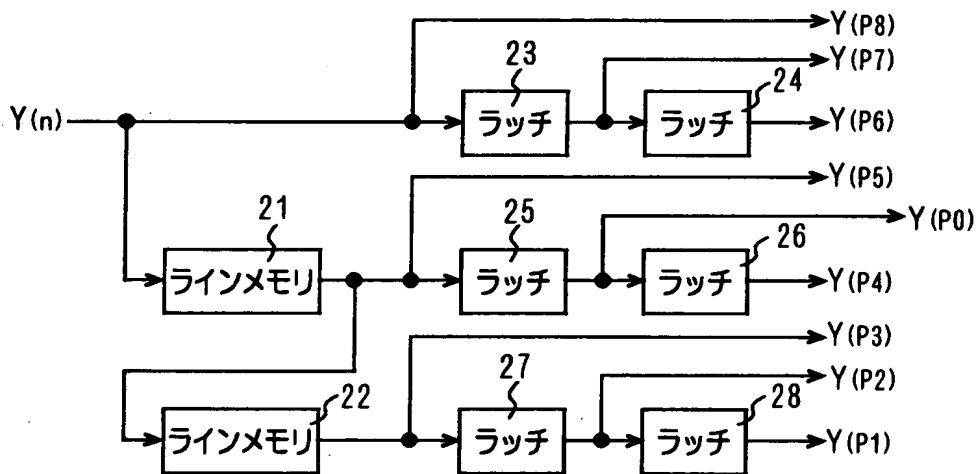
【書類名】

図面

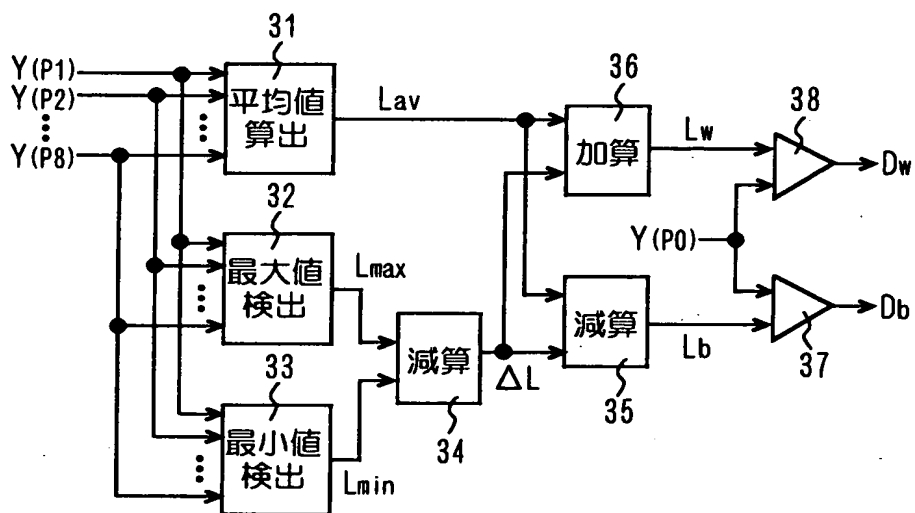
【図 1】



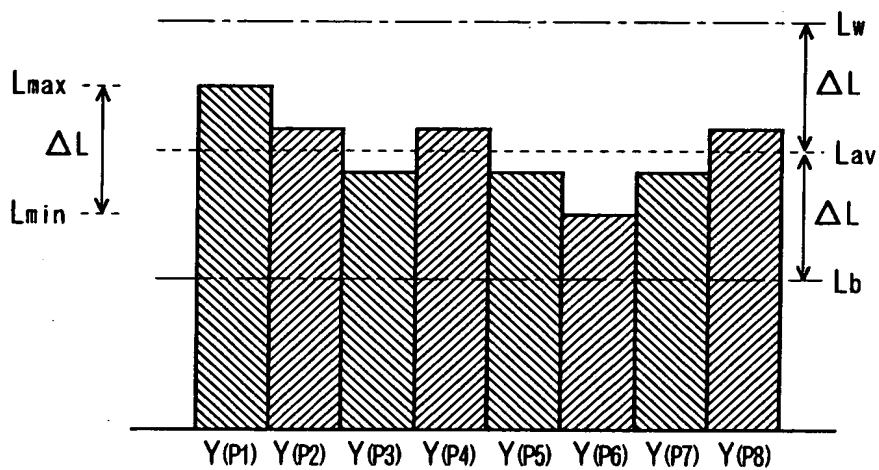
【図 2】



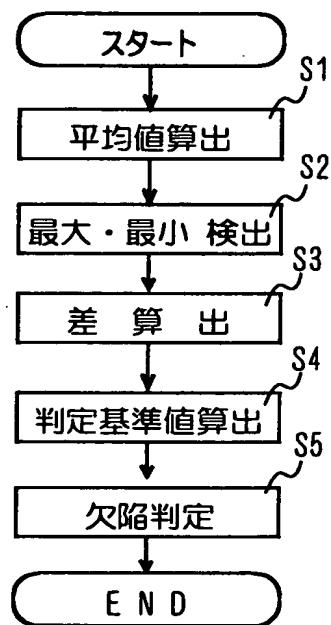
【図 3】



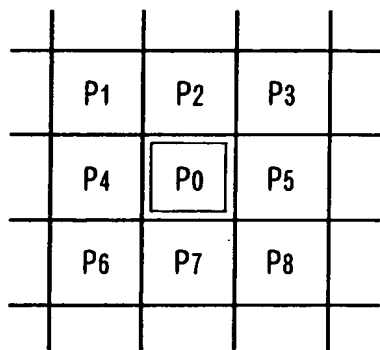
【図 4】



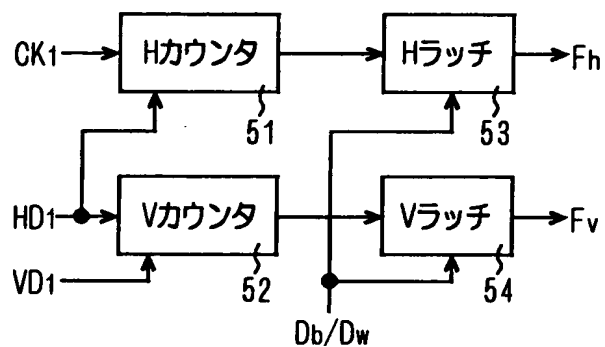
【図 5】



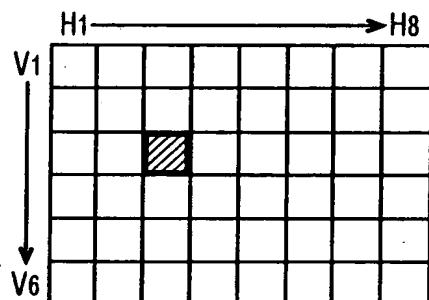
【図 6】



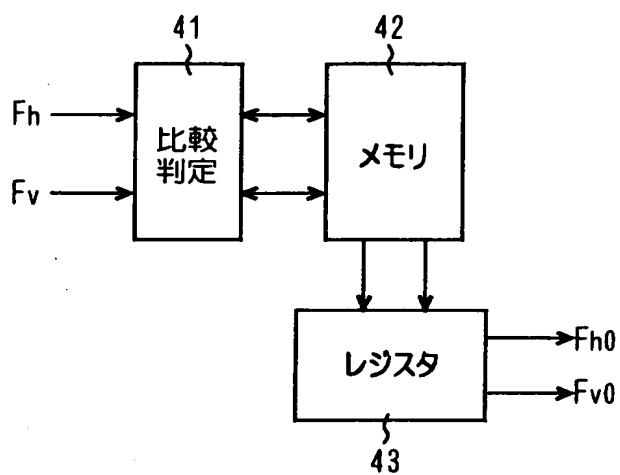
【図 7】



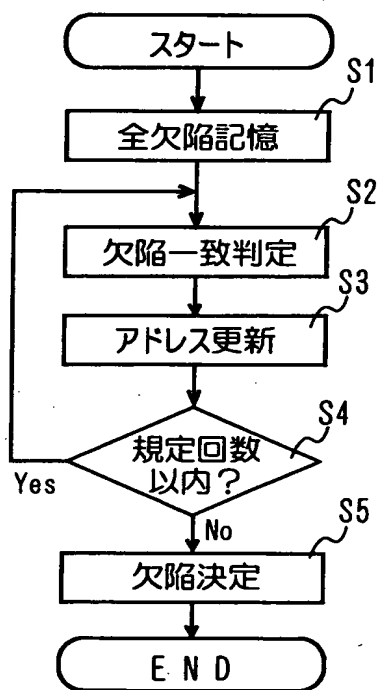
【図 8】



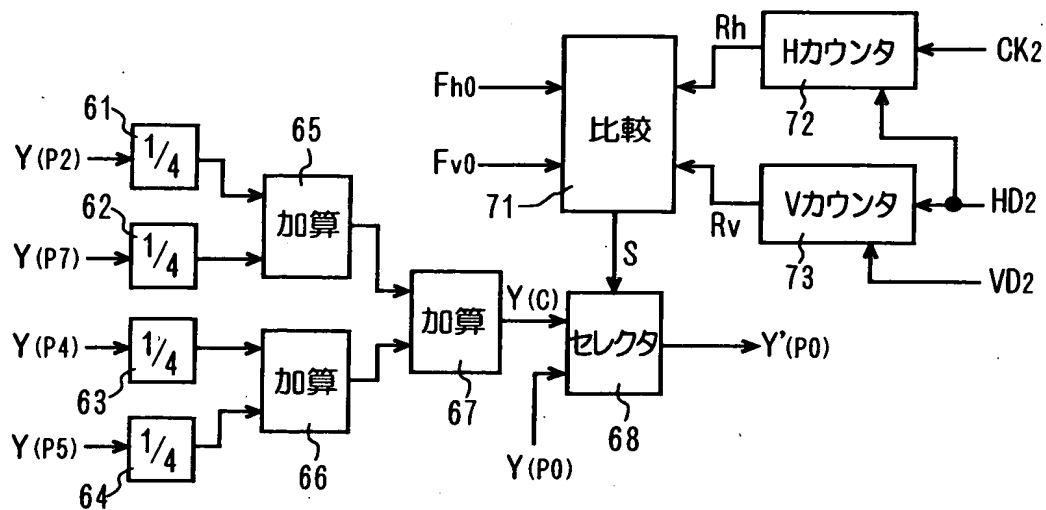
【図 9】



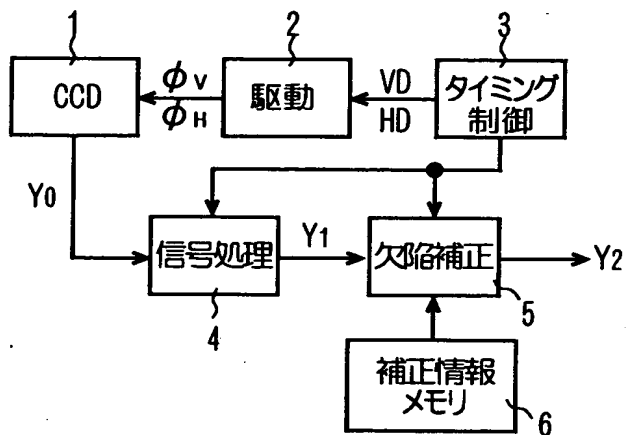
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 画像信号に含まれる画素欠陥を効率よく検出する。

【解決手段】 欠陥検出回路 1 2 で、目標画素の画像信号を周辺画素の画像信号と対比して画素欠陥候補を検出する。検出結果に応じてアドレス生成回路 1 3 で画素欠陥候補のアドレスを生成し、欠陥判定回路 1 4 で、画素欠陥候補のアドレスの連続性をみて画素欠陥のアドレスを決定する。決定した画素欠陥のアドレスに応じて欠陥補正回路 1 5 で画像信号を補正する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社